

#5

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

C966 U.S. PRO
09/755236
01/05/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 1月 7日

出 願 番 号

Application Number:

特願2000-001743

出 願 人

Applicant (s):

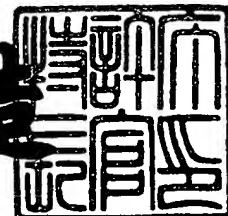
ソニー株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年11月17日

特 許 庁 長 官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3095899

【書類名】 特許願

【整理番号】 9900893101

【提出日】 平成12年 1月 7日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 11/22

【発明者】

 【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

 【氏名】 今井 健一郎

【発明者】

 【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

 【氏名】 天野 光康

【特許出願人】

 【識別番号】 000002185

 【氏名又は名称】 ソニー株式会社

 【代表者】 出井 伸之

【代理人】

 【識別番号】 100080883

 【弁理士】

 【氏名又は名称】 松隈 秀盛

 【電話番号】 03-3343-5821

【手数料の表示】

 【予納台帳番号】 012645

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【包括委任状番号】 9707386

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 システム監視装置

【特許請求の範囲】

【請求項 1】 被監視装置の記憶手段に記憶された制御プログラムに従って制御部が内部バスを介して動作する状態を、外部の監視制御手段を用いて監視するシステム監視装置において、

上記制御手段による上記内部バスに対するアクセスに関する情報を上記内部バスの情報に基づいてリアルタイムに検出するバスアクセス検出手段を備え、

上記内部バスに対するアクセスに関する情報を上記アクセスのタイミングで上記監視制御手段側に出力することを特徴とするシステム監視装置。

【請求項 2】 請求項 1 記載のシステム監視装置において、

上記制御手段の実行アドレスに関する情報を上記内部バスの情報に基づいてリアルタイムに検出する実行アドレス検出手段を備え、

上記実行アドレスに関する情報を上記アクセスのタイミングで上記監視制御手段側に出力することを特徴とするシステム監視装置。

【請求項 3】 請求項 1 記載のシステム監視装置において、

上記内部バスに対するアクセスに関する情報を表示する表示手段を備えたことを特徴とするシステム監視装置。

【請求項 4】 請求項 2 記載のシステム監視装置において、

上記実行アドレスに関する情報を表示する表示手段を備えたことを特徴とするシステム監視装置。

【請求項 5】 請求項 3 記載のシステム監視装置において、

上記表示手段は上記アクセスのタイミングで上記内部バスのデータをラッチして数値表示することを特徴とするシステム監視装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えば、システムのデバッグに用いて好適なシステム監視装置に関するものである。

【0002】

【従来の技術】

従来、ターゲットシステムのプログラムのデバッグを行う際には、ターゲットシステムの内部CPU（中央処理装置）の動作を代行するICE（インサーキットエミュレータ）が用いられていた。

【0003】

このICEを用いたデバッグには、第1に内部CPUの動作を止めてシリアル送信線を用いてデバッグ装置側から所定のコマンドを送る手法があった（特開平11-108998、特開平7-21054参照）。また、第2に内部CPUに相当する評価用のチップを用いてチップ内の信号線のすべてにデバッグ装置側から所定のコマンドを送る手法があった（特開平11-232134号参照）。

【0004】

【発明が解決しようとする課題】

しかし、上述した従来の第1の手法では、チップ上にデバッグ用途の別回路を用意しなければならなかった上に、内部CPUの動きを止めた状態でデバッグを行わなければならなかったので内部CPUが実動作中の内部情報の出力を行うことができなかったという不都合があった。

【0005】

また、第2の手法では、評価用のチップを開発するために余計な手間やコストがかかり、さらに内部CPUの実行速度の高速化に伴ってこれに対応した評価用のチップを開発することが困難であるという不都合があった。

【0006】

そこで、本発明は、かかる点に鑑みてなされたものであり、簡単な構成で、内部CPUの動作にかかわらず内部情報の出力を行うことができるシステム監視装置を提供することを課題とする。

【0007】

【課題を解決するための手段】

本発明のシステム監視装置は、被監視装置の記憶手段に記憶された制御プログラムに従って制御部が内部バスを介して動作する状態を、外部の監視制御手段を

用いて監視するシステム監視装置において、適用されるものである。

【0008】

特に、本発明のシステム監視装置は、制御手段による内部バスに対するアクセスに関する情報を内部バスの情報に基づいてリアルタイムに検出するバスアクセス検出手段を備え、内部バスに対するアクセスに関する情報をそのアクセスのタイミングで監視制御手段側に出力するものである。

【0009】

従って本発明によれば、以下の作用をする。

バスアクセス検出手段に対して、外部の監視制御手段から記憶手段のアドレスの指定を行う。バスアクセス検出手段は、このアドレスを保持し、内部バス上でこのアドレスに対する内部制御部による記憶手段へのデータの読み出しまたは書き込みが発生した場合に、該当するアクセスポイント信号を出力する。

【0010】

【発明の実施の形態】

以下に、本発明の実施の形態について説明する。

本実施の形態のシステム監視装置は、従来、被監視装置のチップ上の内部CPUがデバッグモードであって動作が停止しているブレーク状態でしか内部状態を外部に出力できないのに対して、内部CPUの動作モードや内部状態に関わらず内部バスに対するアクセス情報をリアルタイムに外部に出力するものである。

【0011】

図1は、本実施の形態のシステム監視装置が適用されるリアルタイムバスモニタのシステム構成図である。

図1において、このシステムは、デバッグの対象となるターゲットシステム1と、デバッグの制御を行うデバッグ装置8とを有して構成される。また、ターゲットシステム1は、制御を司るCPU2と、制御プログラムが記憶されたメモリ3と、内部バス4とを有して構成される。

【0012】

また、本実施の形態では特に、内部バス監視回路5を有し、内部バス監視回路5は、内部CPU2による内部バス4に対するアクセスに関する情報を内部バス

4 の情報に基づいてリアルタイムに検出して内部バス 4 に対するアクセスに関する情報をそのアクセスのタイミングでデバッグ装置 8 側に出力する内部バスアドレス比較回路 6 を有して構成される。

【 0 0 1 3 】

また、本実施の形態では特に、内部バス監視回路 5 は、内部 CPU 2 の実行アドレスに関する情報を内部バス 4 の情報に基づいてリアルタイムに検出して実行アドレスに関する情報をアクセスのタイミングでデバッグ装置 8 側に出力する内部 CPU 実行アドレス比較回路 7 を有して構成される。

【 0 0 1 4 】

また、デバッグ装置 8 は、ターゲットシステム 1 に対して所定のコマンド 1 1 を用いてデバッグ制御を行うホストパーソナルコンピュータ（以下、ホスト PC という） 9 と、本実施の形態では特に、内部 CPU 2 の内部バス 4 に対するアクセスに関する情報を表示すると共に、内部 CPU 2 の実行アドレスに関する情報を表示する外部表示治具 1 0 とを有して構成される。

【 0 0 1 5 】

上述した内部バスアドレス比較回路 6 は、内部バス 4 のアドレス線とホスト PC 9 から設定されたアドレスとを比較して、内部バス 4 のアドレス線が設定されたアドレスに該当した場合にはヒット信号を生成する機能を有する。

【 0 0 1 6 】

上述した内部 CPU 実行アドレス比較回路 7 は、内部 CPU 2 の実行アドレスとホスト PC 9 から設定されたアドレスとを比較して、実行アドレスが設定されたアドレスに該当した場合にはヒット信号を生成する機能を有する。

【 0 0 1 7 】

内部バス監視回路 5 は、内部バス 4 から直接 3 2 ビットのデータ Data と、1 ビットのクロック CLOCK と、1 ビットのグランド信号 GND とをデバッグ装置 8 側の外部表示治具 1 0 へ出力する。また、内部バス監視回路 5 は、内部バス 4 からのアドレス線に基づいて内部バスアドレス比較回路 6 を介してヒット信号の 3 ビットのアクセスポイント信号 ACP と、内部バス 4 からのアドレス線に基づいて内部 CPU 実行アドレス比較回路 7 を介してヒット信号の 2 ビットのリ

アルタイムイベント信号 R T E V とをデバッグ装置 8 側の外部表示治具 1 0 へ出力する。

【 0 0 1 8 】

図 2 は、外部表示治具の構成図である。

上述した外部表示治具 1 0 は、表示部として、3 ビットのアクセスポイント信号 A C P に基づいてアクセスポイント項目 A C P 1 ~ A C P 7 を点灯表示する L E D (発光ダイオード) 2 1 ~ 2 7 と、アクセスポイント A C P 1 ~ A C P 7 のデータ内容を 1 6 進数値表示する 7 セグメント L E D 3 1 ~ 3 7 (以下、7 セグ L E D という。) と、アクセスポイント A C P 1 ~ A C P 7 の L E D 2 1 ~ 2 7 の点灯項目の内容およびデータ内容をハイレベルまたはローレベルにより出力する金属端子からなるピン 4 1 ~ 4 7 とを有して構成される。

【 0 0 1 9 】

また、外部表示治具 1 0 は、2 ビットのリアルタイムイベント信号 R T E V に基づいてリアルタイムイベント項目 R T E V 1 ~ R T E V 3 を点灯表示する L E D 2 8 ~ 3 0 と、リアルタイムイベント項目 R T E V 1 ~ R T E V 3 の内容をハイレベルまたはローレベルにより出力する金属端子からなるピン 4 8 ~ 5 0 とを有して構成される。

【 0 0 2 0 】

また、外部表示治具 1 0 は、ヒット信号の出力がないときに前値をホールド (保持) するホールドタイムを設定する例えば 2 連のディップスイッチで構成されるスイッチ 5 1 を有して構成される。

【 0 0 2 1 】

また、外部表示治具 1 0 は、内部バスアドレス比較回路 6 が生成したヒット信号のタイミングで内部バス 4 のデータをラッチし、このデータに基づいて上述した所定項目表示用の L E D や英数字表示用の 7 セグメント L E D などを点灯させる回路を有している。

【 0 0 2 2 】

なお、外部表示治具 1 0 は、内部バス 4 への内部 C P U 2 のアクセスが発生しない場合には、以前のヒット信号のタイミングでラッチされたデータをホールド

してLEDや7セグLEDにリアルタイムで表示する前値ホールド回路も有している。

【0023】

また、外部表示治具10は、内部CPU実行アドレス比較回路7が生成したヒット信号のタイミングでこのデータに基づいて上述した所定項目表示用のLEDを点灯させる回路を有している。

【0024】

これらによって、内部バス4に対する内部CPU2のアクセスに関する情報を内部バス監視回路5からそのアクセスのタイミングでデバッグ装置8側に出力することにより、デバッグ装置8により設定されたアドレスのターゲットシステム1のメモリ3（RAM（ランダムアクセスメモリ））に対する内部CPU2のアクセス状態をリアルタイムに外部表示治具10に表示し、かつ内部CPU2の特定アドレスの実行状態を外部表示治具10に表示して、メモリ3のアドレスへの内部CPU2のアクセス状態および内部CPU2の特定アドレスの実行状態を監視することができる。

【0025】

このように構成されたリアルタイムバスモニタのシステムは、以下のような動作をする。

まず、内部バスアドレス比較回路6の動作を説明する。図1において、デバッグ装置8のホストPC9からターゲットシステム1のメモリ3のアドレスの指定をこの例では最大7つまで行う。内部バスアドレス比較回路6は、このアドレスを保持し、内部バス4上でこのアドレスに対する内部CPU2によるメモリ3へのデータの読み出しまたは書き込みが発生した場合に、該当するACP信号を出力する。

【0026】

また、ホストPC9から内部バスアドレス比較回路6に対して、メモリ3のアドレスの設定を行う。この設定項目は、各ACP信号に対してメモリ3のアドレスとヒット信号のトリガーとなる要素（以下、ヒットトリガーという。）の2つである。ただし、メモリ3のアドレスは内部バス4上でのアドレスマップに基づ

いて設定される。また、ACP信号のヒットトリガーの対象は以下の通りである。データ[00]はヒット信号なし、データ[01]は読み出しのみ、データ[10]は書き込みのみ、データ[11]は読み出しまたは書き込みである。

【0027】

次に、内部CPU実行アドレス比較回路7の動作を説明する。図1において、デバッグ装置8のホストPC9からターゲットシステム1のメモリ3のプログラムアドレスの指定をこの例では最大3つまで行う。内部CPU実行アドレス比較回路7は、このアドレスを保持し、内部CPU2がこのアドレスを実行した場合に、該当するRTEV信号を出力する。

【0028】

また、ホストPC9から内部CPU実行アドレス比較回路7に対して命令アドレスの設定を行う。設定項目は、各RTEV信号に対して、命令アドレスを設定する。

【0029】

次に、外部表示治具10の動作の説明をする。

まず、入力される信号について説明する。

外部表示治具10にはターゲットシステム1の内部バス監視回路5から内部CPU2を介して以下の信号が供給される。3ビットのアクセスポイント信号ACPは内部バスアドレス比較回路6が生成する信号である。

【0030】

3ビットの2値信号は以下の0～7の10進数値に対応している。数値[0]は設定されたメモリ3のいずれにもアクセスが発生しない状態を示す。数値[1]はアクセスポイント1のアドレスを示すACP1にアクセスが発生している状態を示す。数値[2]はアクセスポイント2のアドレスを示すACP2にアクセスが発生している状態を示す。・・・数値[7]はアクセスポイント7のアドレスを示すACP7にアクセスが発生している状態を示す。

【0031】

ただし、7カ所中2カ所以上に同じアドレスが設定された場合には、小さい番号の数値Xに対応するACPXにのみヒット信号が発生するものとする。

【 0 0 3 2 】

次に、2ビットのリアルタイムイベント信号RTEVは内部CPU実行アドレス比較回路7が生成する信号である。

【 0 0 3 3 】

2ビットの2値信号は以下の0～3の10進数値に対応している。数値[0]は設定された命令のいずれも実行されない状態を示す。数値[1]は実行された命令のアドレスを示すRTEV1に設定された命令が実行された状態を示す。数値[2]は実行された命令のアドレスを示すRTEV2に設定された命令が実行された状態を示す。・・・数値[7]は実行された命令のアドレスを示すRTEV7に設定された命令が実行された状態を示す。

【 0 0 3 4 】

ただし、3カ所中2カ所以上に同じアドレスが設定された場合には、小さい番号の数値Xに対応するRTEVXにのみヒット信号が発生するものとする。

【 0 0 3 5 】

また、32ビットの内部バス4のデータDataと、1ビットの内部バス4のクロックCLOCKと、1ビットのグランド信号GNDとは、内部バス4から直接内部バス監視回路5を介して出力される。

【 0 0 3 6 】

次に、外部表示治具10の表示部について説明する。

外部表示治具10は、この例では、最大7カ所のアクセスポイントACP1～ACP7と、最大3カ所のリアルタイムイベントRTEV1～RTEV3の表示による出力を行う。

【 0 0 3 7 】

外部表示治具10は、例えばデータセレクタ等を用いて3ビットのACP信号からアクセスポイントACP1～ACP7のうち何番のACPに設定されたメモリ3に対してアクセスが発生したかを特定し、LED21～27を点灯する。なお、ここで、LED21～27を点灯させるためのデータのホールド時間は任意に設定可能である。

【 0 0 3 8 】

また、外部表示治具10は、ACP信号がヒットしたタイミングで32ビットのデータDataをラッチし、該当するアクセスポイントACP1～ACP7の7セグメントLED31～37にデータ内容を16進数値にて更新表示する。

【0039】

例えば、7セグメントLED31には[FFC04081]、7セグメントLED32には[FFFFFFFFFE]、7セグメントLED33には[00001388]、7セグメントLED34には[88888888]、7セグメントLED35には[88888888]、7セグメントLED36には[88888888]、7セグメントLED37には[88888888]が表示される。なお、ここで、ACP信号がヒットしていないときは、7セグメントLED31～37には前値ホールドされたデータ内容が表示される。

【0040】

また、外部表示治具10は、該当するアクセスポイントACP1～ACP7のLED21～27の点灯項目の内容および7セグメントLED31～37のデータ内容をハイレベルまたはローレベルにより金属端子からなるピン41～47に出力する。このピン41～47の出力レベルは例えばオシロスコープのプロブやテスターのテストピンなどを用いて検出可能である。

【0041】

また、外部表示治具10は、例えばデータセクタ等を用いて2ビットのリアルタイムイベント信号RTEVに基づいてリアルタイムイベント項目RTEV1～RTEV3のうち何番のRTEVに設定された命令が実行されたかを特定し、LED28～30を点灯する。なお、ここで、LED28～30を点灯させるためのデータのホールド時間は任意に設定可能である。

【0042】

また、外部表示治具10は、該当するLED28～30の点灯項目の内容をハイレベルまたはローレベルにより金属端子からなるピン48～50に出力する。このピン48～50の出力レベルは例えばオシロスコープのプロブやテスターのテストピンなどを用いて検出可能である。

【0043】

上述したACP信号に基づいたLED21～27の表示機能と、RTEV信号に基づいたLED28～30の表示機能と、ACP信号に基づいたピン41～47の出力機能と、RTEV信号に基づいたピン48～50の出力機能とは、それぞれ個々に出力データのホールド時間を調整することができる。

【0044】

また、外部表示治具10は、ACP信号またはRTEV信号にヒット信号の出力がないときに例えば2連のディップスイッチで構成されるスイッチ51を用いて前値をホールドするホールドタイムを設定することができる。例えば、2連のディップスイッチ51による2ビットのデータ設定によってホールド時間を以下の4つから選択することができる。データ[00]は100ns(5CLOCK)、データ[01]は10 μ s(500CLOCK)、データ[10]は1ms(5000CLOCK)、データ[11]は100ms(50000CLOCK)である。

【0045】

なお、上述した本実施の形態では、3ビットのACP信号、2ビットのRTEV信号について説明したが、これに限られるものではなく、状態数に応じて適宜増加させても良い。なお、ACP信号およびRTEV信号は、ターゲットシステム1における内部CPU2の各ピンにデバッグ装置8の先端に設けられるICEのプローブを接続する際の、ピン数を確保するために少ない方が良く、上述した、3ビットのACP信号および2ビットのRTEV信号の設定は、この条件を満たす内部CPU2に対する最小のピン数の値である。

【0046】

このように、上述した本実施の形態によれば、内部バス監視回路5において内部バスアドレス比較回路6または内部CPU実行アドレス比較回路7を設けるので、内部バス4に対するアクセスの情報をリアルタイムに外部表示治具10に出力することができる。

【0047】

しかも、ターゲットシステム1の内部CPU2に対して、簡単な構成を付加するだけで、上述したシステム監視装置を実現することができる。

【 0 0 4 8 】

また、内部バス4に対するアクセスの情報の外部表示治具10へのリアルタイムな出力は、ターゲットシステム1の内部バス4の情報に基づいて生成しているので、ターゲットシステム1の内部CPU2の動作モードに依存することがなく、内部CPU2の動作を止める必要が無くなり、常にリアルタイムな内部バス4のアクセス情報を得ることができる。

【 0 0 4 9 】

また、評価用のチップの開発をする必要が無く、余計な開発の手間やコストがかからないようにすることができる。

【 0 0 5 0 】

このように、上述した本実施の形態によれば、ターゲットシステム1の内部CPU2を動かしながら、内部バス4の状態を出力することができる。

【 0 0 5 1 】

なお、上述した本実施の形態によれば、上述に加えて、通常のICEを用いたデバッグ装置で実現することができる機能としての、ターゲットシステム1のハードウェアの調整や、メモリマッピング機能や、入出力マッピング機能や、リアルタイムデバッグや、シンボリックデバッグも行うことができる。

【 0 0 5 2 】

【発明の効果】

この発明のシステム監視装置は、被監視装置の記憶手段に記憶された制御プログラムに従って制御部が内部バスを介して動作する状態を、外部の監視制御手段を用いて監視するシステム監視装置において、制御手段による内部バスに対するアクセスに関する情報を内部バスの情報に基づいてリアルタイムに検出するバスアクセス検出手段を備え、内部バスに対するアクセスに関する情報をアクセスのタイミングで監視制御手段側に出力するので、被監視装置の制御部を動かしながら、内部バスの状態を出力することができ、これにより、内部バスのアクセス状態をリアルタイムで監視することができ、外部の監視制御手段を用いて記憶手段や制御部の開発効率を向上させることができるという効果を奏する。

【 0 0 5 3 】

また、この発明のシステム監視装置は、上述において、制御手段の実行アドレスに関する情報を内部バスの情報に基づいてリアルタイムに検出する実行アドレス検出手段を備え、実行アドレスに関する情報をアクセスのタイミングで監視制御手段側に出力するので、被監視装置の制御部の実行アドレスをリアルタイムで監視することができ、外部の監視制御手段を用いて記憶手段や制御部の開発効率を向上させることができるという効果を奏する。

【 0 0 5 4 】

また、この発明のシステム監視装置は、上述において、内部バスに対するアクセスに関する情報を表示する表示手段を備えたので、内部バスのアクセス状態のリアルタイムバスモニタを実現させることができるという効果を奏する。

【 0 0 5 5 】

また、この発明のシステム監視装置は、上述において、実行アドレスに関する情報を表示する表示手段を備えたので、制御部による実行プログラムを示すイベントの実行アドレスのリアルタイムイベントモニタを実現することができるという効果を奏する。

【 0 0 5 6 】

また、この発明のシステム監視装置は、上述において、表示手段はアクセスのタイミングで内部バスのデータをラッチして数値表示するので、内部バスのアクセス状態のデータ内容を表示させるリアルタイムバスモニタを実現させることができるという効果を奏する。

【図面の簡単な説明】

【図 1】

本実施の形態のシステム監視装置が適用されるリアルタイムバスモニタのシステム構成図である。

【図 2】

リアルタイムバスモニタの外部表示治具の構成図である。

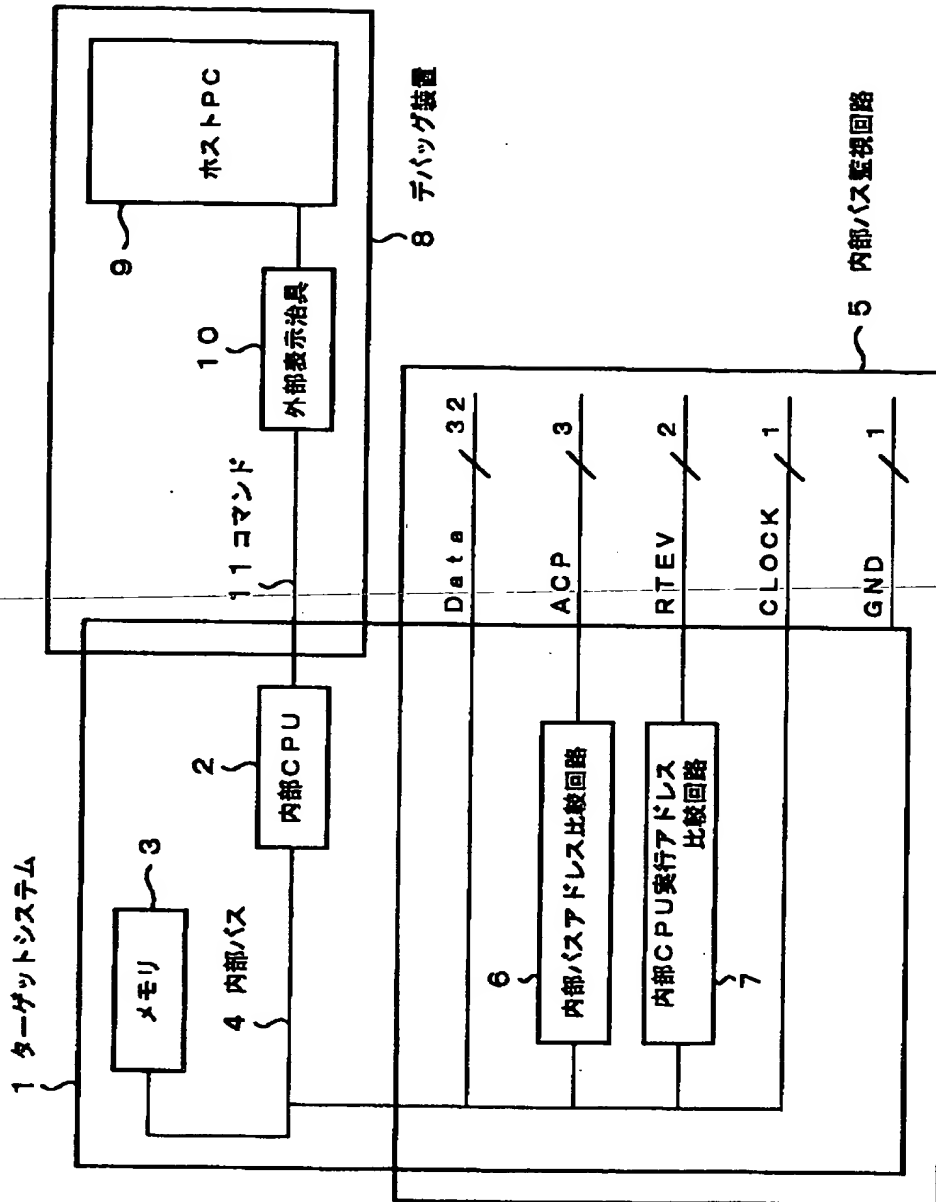
【符号の説明】

1 ……ターゲットシステム、 2 ……内部 CPU、 3 ……メモリ、 4 ……内部バス、 5 ……内部バス監視回路、 6 ……内部バスアドレス比較回路、 7 ……内部 CP

U実行アドレス比較回路、8……デバッグ装置、9……ホストPC、10……外部表示装置、11……コマンド、21～30……LED、31～37……7セグLED、41～50……ピン、51……スイッチ、ACP……アクセスポイント信号、RTEV……リアルタイムイベント信号

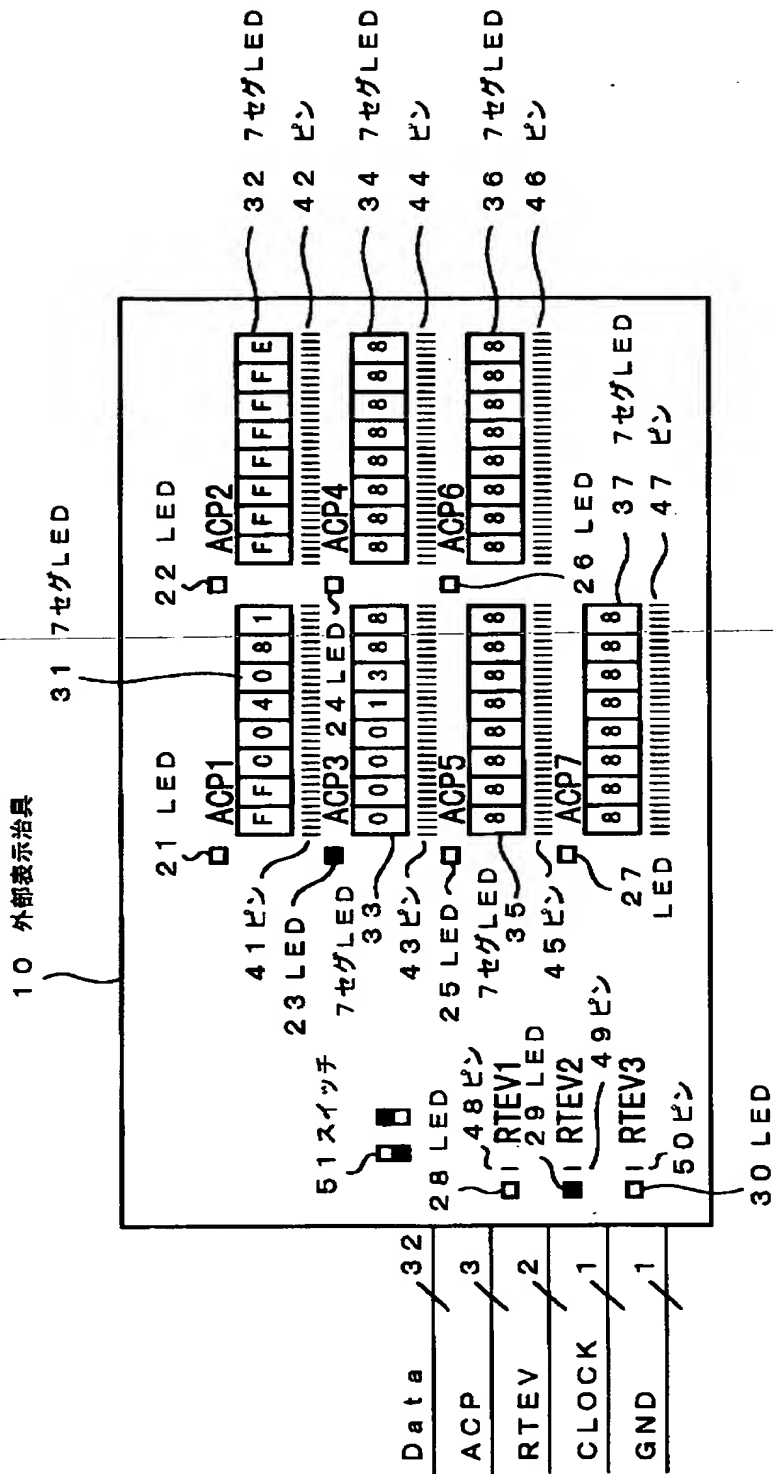
【書類名】 図面

【図1】



リアルタイムバスモニタのシステム構成図

【図 2】



外部表示治具の構成図

【書類名】 要約書

【要約】

【課題】 簡単な構成で、内部CPUの動作にかかわらず内部情報の出力を行うことができるシステム監視装置を提供する。

【解決手段】 システム監視装置は、ターゲットシステム1のメモリ3に記憶された制御プログラムに従って内部CPU2が内部バス4を介して動作する状態を、外部のデバッグ装置8を用いて監視するシステム監視装置において、内部CPU2による内部バス4に対するアクセスに関する情報を内部バス4の情報に基づいてリアルタイムに検出する内部バスアドレス比較回路6を備え、内部バス4に対するアクセスに関する情報をアクセスのタイミングでデバッグ装置8側に出力するので、内部CPU2を動かしながら、内部バス4の状態をリアルタイムに出力することができる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日
[変更理由] 新規登録
住 所 東京都品川区北品川6丁目7番35号
氏 名 ソニー株式会社